



2186

PATENT  
Docket No. JCLA6435  
page 1

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re application of : SHENG-CHUNG WU et al.

Application No. : 10/065,378

Filed : October 10, 2002

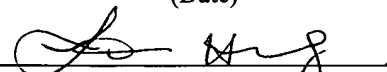
CONTROL CHIP WITH MULTIPLE-LAYER  
For : DEFER QUEUE

**Certificate of Mailing**

I hereby certify that this correspondence and all marked attachments are being deposited with the United States Postal Service as certified first class mail in an envelope addressed to: Assistant Commissioner for Patents, Washington, D.C. 20231, on

December 20, 2002

(Date)

  
Jiawei Huang, Reg. No. 43,330

Examiner :

ASSISTANT COMMISSIONER FOR PATENTS  
WASHINGTON, D.C. 20231

Sir:

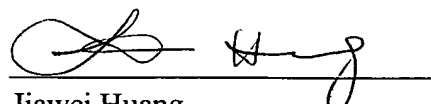
**RECEIVED**  
JAN 02 2003  
Technology Center 2100

Transmitted herewith is a certified copy of Taiwan Application No. 90127631 filed on November 07, 2001.

A return prepaid postcard is also included herewith.

It is believed no fee is due. However, the Commissioner is authorized to charge any fees required, including any fees for additional extension of time, or credit overpayment to Deposit Account No. 50-0710 (Order No. JCLA6435).

Date: 12 / 20 / 2002

By:   
Jiawei Huang  
Registration No. 43,330

**Please send future correspondence to:**

J. C. Patents  
4 Venture, Suite 250  
Irvine, California 92618  
(949) 660-0761

SCIA6435

10/065.378



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2001 年 11 月 07 日  
Application Date

申請案號：090127631  
Application No.

RECEIVED

JAN 02 2003

申請人：威盛電子股份有限公司 Technology Center 2100  
Applicant(s)

CERTIFIED COPY OF  
PRIORITY DOCUMENT

局長

Director General

蔡練生

發文日期：西元 2002 年 12 月 9 日  
Issue Date

發文字號：09111024013  
Serial No.

申請日期	
案 號	90127631
類 別	

A4  
C4

(以上各欄由本局填註)

## 發明專利說明書

一、發明 新型名稱	中 文	具有多層延緩佇列之控制晶片及其運作方法
	英 文	
二、發明 創作人	姓 名	1 吳勝宗 2 璩又明
	國 籍	中華民國
	住、居所	1 台北縣新店市中正路 533 號 8 樓 2 台北縣三峽鎮國光街 330 巷 6 弄 2 號
三、申請人	姓 名 (名稱)	威盛電子股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	台北縣新店市中正路 533 號 8 樓
	代 表 人 名 姓	王雪紅

四、中文發明摘要（發明之名稱：具有多層延緩佇列之控制晶片及其運作方法）

一種具有多層延緩佇列之控制晶片及其運作方法。此控制晶片係耦接至 CPU 匯流排與 PCI 匯流排，以及具有 PCI 請求佇列、多層延緩佇列、PCI 存取佇列與 PCI 控制器。因為本發明的控制晶片具有多層的延緩佇列，所以可以同時處理由 CPU 所發出的數個第一類請求，且此多層延緩佇列能同時支援重試與延緩交易，因此可以減少 CPU 與控制晶片之間的資料流量，進而可以改善整個系統的效率與性能。

英文發明摘要（發明之名稱：）

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

## 五、發明說明 ( / )

本發明是有關於一種具有延緩佇列之控制晶片及其運作方法，且特別是有關於一種具有多層延緩佇列之控制晶片及其運作方法。

目前之個人電腦系統中，中央處理單元(Central Processing Unit，簡稱 CPU)係經由高速之中央處理單元匯流排連接到控制晶片組，再由控制晶片組連接到 AGP 匯流排、動態隨機存取記憶體、以及一或多個 PCI 匯流排等，而其中的 PCI 匯流排則可以耦接多個 PCI 相容之週邊裝置或是記憶體等等。眾所皆知，中央處理單元係電腦系統之運算處理中心，所以中央處理單元所發出對 PCI 匯流排的請求(request)，能夠快速有效的處理完畢，且不影响中央處理單元之其他請求，實是電腦系統具有優良功能效益的重要因素之一。

對控制晶片組而言，有一種簡易的分類法可以將中央處理單元對 PCI 匯流排所發出的請求分為二類，第一類包括：對應於輸入輸出讀取(input output read，簡稱 IOR)、輸入輸出寫入(input output write，簡稱 IOW)與記憶體讀取(memory read，MEMR)之請求，第二類包括：對應於記憶體讀取(memory write，MEMW)之請求。對於第一類之請求，中央處理單元必須獲得真正由 PCI 匯流排來之回應，才算完成相對此請求之 CPU 指令，例如：需要控制晶片組俟 PCI 匯流排回應之資料回傳後，再正確傳送給中央處理單元。而對於第二類之請求，只要控制晶片組具有適當之緩衝器，不管此要求是否立即送出去處理，控制晶片組

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(2)

可直接回應給中央處理單元，中央處理單元則視為相對此請求之 CPU 指令已完成。

習知有些控制晶片組內建有一個只具有單一層的延緩佇列(defer queue，簡稱 DFQ)，當中央處理單元發出第一類請求，且其中之延緩位元為致能，稱之為中央處理單元所發出之請求符合延緩條件，則控制晶片組會將此請求儲存於 DFQ 內，當此請求之回應資料由 PCI 匯流排正確送回後，再由控制晶片組依據 DFQ 所儲存之資料，主動將回應資料傳送給中央處理單元，如此可避免中央處理單元為了完成相對此請求之 CPU 指令，而多次重試或佔據中央處理單元匯流排過久，因而提高電腦系統之效能。

但是因為此 DFQ 只有一層佇列，所以每一次只能處理一個符合延緩條件的延緩交易。如果當 CPU 發出的請求符合延緩條件，而此 DFQ 已被佔滿，則 DFQ 將發出重試(retry)響應至 CPU，而使 CPU 一再地的發出請求至此控制晶片，直到此 DFQ 有空間為止。因此降低了整個系統的效率與性能。

因此由上述得知，習知的技術具有以下缺點：

1. 因為此 DFQ 只有一層佇列，當 CPU 發出的請求符合延緩條件時，如果此 DFQ 已被佔滿，會使 CPU 一再地的發出請求，直到此 DFQ 有空間為止，降低系統的效率與性能。

2. CPU 發出第一類的請求，但延緩位元並未致能時，如控制晶片組中之 DFQ 也能暫存此請求，並將對應此請求

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明( 3 )

的資料備妥，俟下次 CPU 發出同樣的請求時，再將資料送給 CPU，則可增加系統之效能。

有鑒於此，本發明提出一種具有多層延緩佇列之控制晶片及其運作方法，可以同時處理由CPU所發出的數個第一類請求，且此多層延緩佇列能同時支援重試與延緩交易，因此可以減少CPU與控制晶片之間的資料流量，進而可以改善整個系統的效率與性能。

為達成上述及其他目的，本發明提出一種具有多層延緩佇列之控制晶片的運作方法，此控制晶片耦接至CPU匯流排及PCI匯流排，此控制晶片更包括PCI請求佇列及PCI存取佇列。其中此多層延緩佇列可儲存數個延緩請求記錄，每一延緩請求記錄至少包括識別碼欄位以及資料有效欄位，而此PCI請求佇列與此PCI存取佇列可儲存數個請求記錄，每一請求記錄至少包括識別碼欄位。此運作方法首先接收CPU匯流排上之CPU請求。接著，依據CPU請求，儲存第一請求記錄至PCI請求佇列。

當CPU請求屬於第一類請求時，則判斷多層延緩佇列是否仍有儲存空間。接著，當多層延緩佇列仍有儲存空間時，則依據CPU請求，儲存第一延緩請求記錄至多層延緩佇列，並指定第一識別碼給第一延緩請求記錄之識別碼欄位，第一識別碼不同於目前多層延緩佇列中所儲存之所有其他延緩請求記錄之此識別碼欄位。接下來，指定第一識別碼給第一請求記錄之識別碼欄位。之後，回覆重試響應與延緩響應二者擇一給CPU匯流排。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(4)

而當CPU請求屬於第二類請求時，則指定第二識別碼給第一請求記錄之識別碼欄位。接著，回覆完成響應至CPU匯流排。

接著，由PCI請求佇列取出第一請求記錄，將之儲存至PCI存取佇列。接下來，由PCI存取佇列取出第一請求記錄，並根據第一請求記錄，送出PCI匯流排要求至PCI匯流排。

之後，由PCI匯流排接收PCI匯流排回應。當第一請求記錄之識別碼欄位不為第二識別碼時，則依據第一請求記錄之識別碼欄位之值，於多層延緩佇列之延緩請求記錄的識別碼欄位中尋找具有相同之識別碼欄位之值之延緩請求記錄。接著，使具有相同之識別碼欄位之值的延緩請求記錄之資料有效欄位為致能。接下來，依據具有相同之識別碼欄位之值的延緩請求記錄，送出對應PCI匯流排回應之CPU回應至此CPU匯流排。

本發明還提供一種具有多層延緩佇列之控制晶片，此控制晶片耦接至CPU匯流排及PCI匯流排。此控制晶片包括PCI請求佇列、多層延緩佇列、PCI存取佇列、以及PCI控制器。其中PCI請求佇列係用以暫存控制晶片依據CPU匯流排上之CPU請求的第一請求記錄，第一請求記錄包括一個識別碼欄位。多層延緩佇列可儲存數個延緩請求記錄，每一延緩請求記錄至少包括識別碼欄位及資料有效欄位；當CPU請求屬於第一類請求，這些延緩請求記錄中不存在有對應於CPU請求之延緩請求記錄，且多層延緩佇列仍有儲

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線



## 五、發明說明(5)

存空間時，控制晶片會依據CPU請求來儲存第一延緩請求記錄，並指定第一識別碼給第一延緩請求記錄與第一請求記錄之識別碼欄位，此第一識別碼不等同於第二識別碼，且不等同於目前多層延緩佇列中所儲存之所有其他延緩請求記錄之識別碼欄位。PCI存取佇列係用以儲存由PCI請求佇列取出第一請求記錄。而PCI控制器係耦接至PCI匯流排及PCI存取佇列，用以由PCI存取佇列取出第一請求記錄，並根據第一請求記錄送出PCI匯流排要求至PCI匯流排，並從PCI匯流排接收PCI匯流排回應。

綜上所述，本發明因為具有數層的延緩佇列，所以可以同時處理由CPU所發出的數個第一類請求，且此多層延緩佇列能同時支援重試與延緩交易，因此可以減少CPU與控制晶片之間的資料流量，進而可以改善整個系統的效率與性能。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

### 圖式之簡單說明：

第1圖繪示的是根據本發明一較佳實施例的一種具有多層延緩佇列之控制晶片之方塊圖；

第2圖繪示的是根據本發明一較佳實施例的一種具有多層延緩佇列之控制晶片的運作方法之接收來自CPU匯流排之一個CPU請求之流程圖；以及

第3圖繪示的是根據本發明一較佳實施例的一種具有

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明( 6 )

多層延緩佇列之控制晶片的運作方法之接收來自 PCI 匯流排之一個 PCI 匯流排回應之流程圖。

### 重要元件標號

10：控制晶片

100：中央處理單元(CPU)

102：CPU 匯流排

104：延緩佇列(DFQ)

106：PCI 請求佇列(PCQ)

108：PCI 存取佇列(PAQ)

110：PCI 控制器(PCIC)

112：PCI 匯流排

s200~s236，s310~s340：本發明一較佳實施例的施行步驟較佳實施例

在以下的實施例中，多層延緩佇列只以具有 2 層佇列之延緩佇列做說明，對熟習此技藝者而言，只要是具有 2 層以上之延緩佇列都適用於本發明。

請參照第1圖，其繪示的是根據本發明一較佳實施例的一種具有多層延緩佇列之控制晶片之方塊圖。此具有多層延緩佇列之控制晶片係經由 CPU 匯流排 102 而連接至 CPU(100)及耦接至 PCI 匯流排 112。本發明的控制晶片 10 包括 PCI 請求佇列(PCQ)106、多層延緩佇列(DFQ)104、PCI 存取佇列(PAQ)108、以及 PCI 控制器(PCIC)110。其中多層延緩佇列 104 可儲存數個延緩請求記錄，每一延緩請求記錄至少包括識別碼欄位、資料有效欄位及旗標欄位。而 PCI

## 五、發明說明( 7 )

請求佇列與PCI存取佇列可儲存數個請求記錄，每一請求記錄至少包括識別碼欄位。

第2圖繪示的是根據本發明一較佳實施例的一種具有多層延緩佇列之控制晶片的運作方法之接收來自CPU匯流排之CPU請求之流程圖。而第3圖繪示的是根據本發明一較佳實施例的一種具有多層延緩佇列之控制晶片的運作方法之接收來自PCI匯流排之PCI匯流排回應之流程圖。以下將配合第2、3圖及第1圖來詳細說明本發明的具有多層延緩佇列之控制晶片的運作方法。

首先控制晶片10接收到CPU匯流排102上之CPU請求，並依據CPU請求，儲存第一請求記錄至PCI請求佇列106(如步驟s200)。當CPU請求屬於輸入輸出讀取請求、輸入輸出寫入請求及記憶體讀取請求之第一類請求(如步驟s202)、延緩請求記錄中不存在有對應於CPU請求之延緩請求記錄(如步驟s208)，且多層延緩佇列104仍有儲存空間(如步驟s220)，則依據CPU請求，儲存第一延緩請求記錄至多層延緩佇列104，並指定第一識別碼(01或10)給第一延緩請求記錄之識別碼欄位，此第一識別碼(01或10)不同於目前多層延緩佇列104中所儲存之所有其他延緩請求記錄的識別碼欄位，並指定第一識別碼(01或10)給第一請求記錄之識別碼欄位(如步驟s222)。當此多層延緩佇列104仍有儲存空間時，則判斷此CPU請求是否包括延緩致能訊號(如步驟s224)。當CPU請求包括延緩致能訊號時，則指定延緩旗標給第一延緩請求記錄之旗標欄位(如步驟s226)，並回覆延

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明( 8 )

緩響應給CPU匯流排102(如步驟s228)。當CPU請求不包括延緩致能訊號時，則指定重試旗標給第一延緩請求記錄之旗標欄位(如步驟s230)，並回覆重試響應給CPU匯流排102(如步驟s232)。而當CPU請求屬於記憶體寫入請求之第二類請求時，則指定第二識別碼00給第一請求記錄之識別碼欄位(如步驟s204)，並回覆完成響應至CPU匯流排102(如步驟s236)。接著，由PCI請求佇列106取出第一請求記錄，將之儲存至PCI存取佇列108(如步驟s206)。接下來，PCI控制器110取出PCI存取佇列108的第一請求記錄，並根據第一請求記錄，送出PCI匯流排要求至PCI匯流排112(如步驟s234)。之後，PCI控制器110接收來自PCI匯流排112的PCI匯流排回應(如步驟s310)。當第一請求記錄之識別碼欄位不為第二識別碼00時(如步驟s320)，則依據第一請求記錄之識別碼欄位之值，於多層延緩佇列104中之延緩請求記錄之識別碼欄位中尋找具有相同之識別碼欄位之值的延緩請求記錄。接著，使具有相同之識別碼欄位之值的延緩請求記錄之資料有效欄位為致能(如步驟s330)。接下來，判斷具有相同之識別碼欄位之值的延緩請求記錄之旗標欄位為延緩旗標或重試旗標(如步驟335)，當具有相同之識別碼欄位之值的延緩請求記錄之旗標欄位為延緩旗標時，則控制晶片10主動送出對應PCI匯流排回應之CPU回應至CPU匯流排102，並移除具有相同之識別碼欄位之值的延緩請求記錄(如步驟s340)。此外，在本實施例中，第一識別碼(01或10)與第二識別碼00係由二位元計數器所產生。

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明(9)

當CPU請求屬於第一類請求(如步驟s202)且延緩請求記錄中存在有對應於CPU請求之延緩請求記錄(如步驟s208)時，如果存在有對應於CPU請求之延緩請求記錄時，則判斷對應於CPU請求之延緩請求記錄之資料有效欄位是否為致能(如步驟s210)。當資料有效欄位為致能時，則送出對應CPU請求與PCI匯流排回應之CPU回應至CPU匯流排102，並移除對應於CPU請求之延緩請求記錄(如步驟s212)。接著，指定此第二識別碼00給第一請求記錄之識別碼欄位(如步驟s214)。而當資料有效欄位不為致能時，則回覆重試響應給CPU匯流排102(如步驟s216)，並指定第二識別碼00給第一請求記錄之識別碼欄位(如步驟s218)。

另外，當多層延緩佇列104沒有儲存空間時，則回覆重試響應給CPU匯流排102(如步驟s216)。並指定第二識別碼00給第一請求記錄之識別碼欄位(如步驟s218)。

綜上所述，本發明具有如下的優點：

1. 可以同時處理由 CPU 所發出的數個第一類請求，且此多層延緩佇列能同時支援重試與延緩交易。
2. 因為可以減少 CPU 與控制晶片之間的資料流量，進而可以改善整個系統的效率與性能。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

1.一種具有多層延緩佇列之控制晶片的運作方法，該控制晶片耦接至一 CPU 匯流排以及一 PCI 匯流排，該控制晶片更包括一 PCI 請求佇列以及一 PCI 存取佇列，該多層延緩佇列可儲存複數個延緩請求記錄，每一延緩請求記錄至少包括一識別碼欄位以及一資料有效欄位，該 PCI 請求佇列與該 PCI 存取佇列可儲存複數個請求記錄，每一請求記錄至少包括一識別碼欄位，該運作方法包括下列步驟：

接收該 CPU 匯流排上之一 CPU 請求；

依據該 CPU 請求，儲存一第一請求記錄至該 PCI 請求佇列；

當該 CPU 請求屬於一第一類請求時，則判斷該多層延緩佇列是否仍有儲存空間；

當該多層延緩佇列仍有儲存空間時，則：

依據該 CPU 請求，儲存一第一延緩請求記錄至該多層延緩佇列，並指定一第一識別碼給該第一延緩請求記錄之該識別碼欄位，該第一識別碼不等同於目前該多層延緩佇列中所儲存之所有其他該些延緩請求記錄之該識別碼欄位；

指定該第一識別碼給該第一請求記錄之該識別碼欄位；以及

回覆一重試響應與一延緩響應二者擇一給該 CPU 匯流排；

當該 CPU 請求屬於一第二類請求時，則：

指定一第二識別碼給該第一請求記錄之該識別

## 六、申請專利範圍

碼欄位；以及

回覆一完成響應至該CPU匯流排；

由該PCI請求佇列取出該第一請求記錄，將之儲存至該PCI存取佇列；

由該PCI存取佇列取出該第一請求記錄，並根據該第一請求記錄，送出一PCI匯流排要求至該PCI匯流排；

由該PCI匯流排接收一PCI匯流排回應；以及

當該第一請求記錄之該識別碼欄位不為該第二識別碼時，則：

依據該第一請求記錄之該識別碼欄位之值，於該多層延緩佇列之該些延緩請求記錄之該識別碼欄位中尋找具有相同之該識別碼欄位之值之該延緩請求記錄；

使具有相同之該識別碼欄位之值之該延緩請求記錄之該資料有效欄位為致能；以及

依據具有相同之該識別碼欄位之值之該延緩請求記錄，送出對應該PCI匯流排回應之一CPU回應至該CPU匯流排。

2.如申請專利範圍第1項所述之具有多層延緩佇列之控制晶片的運作方法，更包括下列步驟：

當該CPU請求屬於該第一類請求時，則於該多層延緩佇列之該些延緩請求記錄中，判斷是否有對應於該CPU請求之該延緩請求記錄：

當存在有對應於該CPU請求之該延緩請求記錄時，則判斷對應於該CPU請求之該延緩請求記錄之該資料

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 六、申請專利範圍

有效欄位是否為致能：

當該資料有效欄位為致能時，則：

送出對應該CPU請求與該PCI匯流排  
回應之該CPU回應至該CPU匯流排；

指定該第二識別碼給該第一請求記  
錄之該識別碼欄位；以及

移除對應於該CPU請求之該延緩請  
求記錄；以及

當該資料有效欄位不為致能時，則：

指定該第二識別碼給該第一請求記  
錄之該識別碼欄位；以及

回覆該重試響應給該CPU匯流排；以  
及

當不存在有對應於該CPU請求之該延緩請求記  
錄時，則執行判斷該多層延緩佇列是否仍有儲存空間之步  
驟。

3.如申請專利範圍第1項所述之具有多層延緩佇列之  
控制晶片的運作方法，其中每一該些延緩請求記錄更包括  
一旗標欄位，該運作方法更包括下列步驟：

當該多層延緩佇列仍有儲存空間時，則判斷該CPU請  
求是否包括延緩致能訊號：

當該CPU請求包括該延緩致能訊號時，則：

指定一延緩旗標給該第一延緩請求記錄  
之該旗標欄位；以及



## 六、申請專利範圍

回覆該延緩響應給該CPU匯流排；以及  
當該CPU請求不包括該延緩致能訊號時，則：

指定一重試旗標給該第一延緩請求記錄  
之該旗標欄位；以及

回覆該重試響應給該CPU匯流排；以及  
當具有相同之該識別碼欄位之值之該延緩請求記錄  
之該旗標欄位為該延緩旗標時，則：

該控制晶片主動送出對應該PCI匯流排回應之  
該CPU回應至該CPU匯流排；以及

移除具有相同之該識別碼欄位之值之該延緩請  
求記錄。

4.如申請專利範圍第1項所述之具有多層延緩佇列之  
控制晶片的運作方法，更包括下列步驟：

當該多層延緩佇列沒有儲存空間時，則：

指定該第二識別碼給該第一請求記錄之該識別  
碼欄位；以及

回覆該重試響應給該CPU匯流排。

5.如申請專利範圍第1項所述之具有多層延緩佇列之  
控制晶片的運作方法，其中該控制晶片更包括一PCI控制  
器，該PCI控制器負責送出該PCI匯流排要求至該PCI匯流  
排，並從該PCI匯流排接收該PCI匯流排回應。

6.如申請專利範圍第1項所述之具有多層延緩佇列之  
控制晶片的運作方法，其中該第一類請求包括：一輸入輸  
出讀取請求、一輸入輸出寫入請求以及一記憶體讀取請

## 六、申請專利範圍

求，而該第二類請求包括一記憶體寫入請求。

7.一種具有多層延緩佇列之控制晶片的運作方法，該控制晶片耦接至一CPU匯流排以及一PCI匯流排，該多層延緩佇列可儲存複數個延緩請求記錄，每一延緩請求記錄至少包括一識別碼欄位以及一資料有效欄位，該運作方法包括下列步驟：

接收該CPU匯流排上之一CPU請求；

依據該CPU請求，暫存一第一請求記錄，該第一請求記錄包括一識別碼欄位；

當該CPU請求屬於一第一類請求時，則判斷該多層延緩佇列是否仍有儲存空間；

當該多層延緩佇列仍有儲存空間時，則：

依據該CPU請求，儲存一第一延緩請求記錄至該多層延緩佇列，並指定一第一識別碼給該第一延緩請求記錄之該識別碼欄位，該第一識別碼不等同於一第二識別碼，且不等同於目前該多層延緩佇列中所儲存之所有其他該些延緩請求記錄之該識別碼欄位；

指定該第一識別碼給該第一請求記錄之該識別碼欄位；以及

回覆一重試響應與一延緩響應二者擇一給該CPU；

根據該第一請求記錄，送出一PCI匯流排要求至該PCI匯流排；

由該PCI匯流排接收一PCI匯流排回應；以及

## 六、申請專利範圍

當該第一請求記錄之該識別碼欄位不為該第二識別碼時，則：

依據該第一請求記錄之該識別碼欄位之值，於該多層延緩佇列之該些延緩請求記錄之該識別碼欄位中尋找具有相同之該識別碼欄位之值之該延緩請求記錄；

使具有相同之該識別碼欄位之值之該延緩請求記錄之該資料有效欄位為致能；以及

依據具有相同之該識別碼欄位之值之該延緩請求記錄，送出對應該PCI匯流排回應之一CPU回應至該CPU匯流排。

8.如申請專利範圍第7項所述之具有多層延緩佇列之控制晶片的運作方法，更包括下列步驟：

當該CPU請求屬於一第二類請求時，則：

指定該第二識別碼給該第一請求記錄之該識別碼欄位；以及

回覆一完成響應至該CPU匯流排。

9.如申請專利範圍第7項所述之具有多層延緩佇列之控制晶片的運作方法，更包括下列步驟：

當該CPU請求屬於該第一類請求時，則於該多層延緩佇列之該些延緩請求記錄中，判斷是否有對應於該CPU請求之該延緩請求記錄：

當存在有對應於該CPU請求之該延緩請求記錄時，則判斷對應於該CPU請求之該延緩請求記錄之該資料有效欄位是否為致能：

## 六、申請專利範圍

當該資料有效欄位為致能時，則：

送出對應該CPU請求與該PCI匯流排  
回應之該CPU回應至該CPU匯流排；

指定該第二識別碼給該第一請求記  
錄之該識別碼欄位；以及

移除對應於該CPU請求之該延緩請  
求記錄；以及

當該資料有效欄位不為致能時，則：

指定該第二識別碼給該第一請求記  
錄之該識別碼欄位；以及

回覆該重試響應給該CPU匯流排；以  
及

當不存在有對應於該CPU請求之該延緩請求記  
錄時，則執行判斷該多層延緩佇列是否仍有儲存空間之步  
驟。

10.如申請專利範圍第7項所述之具有多層延緩佇列  
之控制晶片的運作方法，其中每一該些延緩請求記錄更包  
括一旗標欄位，該運作方法更包括下列步驟：

當該多層延緩佇列仍有儲存空間時，則判斷該CPU請  
求是否包估一延緩致能訊號：

當該CPU請求包括該延緩致能訊號時，則：

指定一延緩旗標給該第一延緩請求記錄  
之該旗標欄位；以及

回覆該延緩響應給該CPU匯流排；以及

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

當該CPU請求不包括該延緩致能訊號時，則：

指定一重試旗標給該第一延緩請求記錄之該旗標欄位；以及

回覆該重試響應給該CPU匯流排；以及

當具有相同之該識別碼欄位之值之該延緩請求記錄之該旗標欄位為該延緩旗標時，則：

該控制晶片主動送出對應該PCI匯流排回應之該CPU回應至該CPU匯流排；以及

移除具有相同之該識別碼欄位之值之該延緩請求記錄。

11.如申請專利範圍第7項所述之具有多層延緩佇列之控制晶片的運作方法，更包括下列步驟：

當該多層延緩佇列沒有儲存空間時，則：

指定該第二識別碼給該第一請求記錄之該識別碼欄位；以及

回覆該重試響應給該CPU匯流排。

12.如申請專利範圍第7項所述之具有多層延緩佇列之控制晶片的運作方法，其中該第一類請求包括：一輸入輸出讀取請求、一輸入輸出寫入請求以及一記憶體讀取請求。

13.一種具有多層延緩佇列之控制晶片，耦接至一CPU匯流排以及一PCI匯流排，該控制晶片包括：

一PCI請求佇列，該控制晶片依據該CPU匯流排上之一CPU請求，暫存一第一請求記錄至該PCI請求佇列，該第

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 六、申請專利範圍

一請求記錄包括一識別碼欄位；

一多層延緩佇列，其可儲存複數個延緩請求記錄，每一延緩請求記錄至少包括一識別碼欄位以及一資料有效欄位，當該CPU請求屬於一第一類請求，且該些延緩請求記錄中不存在有對應於該CPU請求之該延緩請求記錄，且該多層延緩佇列仍有儲存空間時，該控制晶片依據該CPU請求儲存一第一延緩請求記錄，並指定一第一識別碼給該第一延緩請求記錄與該第一請求記錄之該識別碼欄位，該第一識別碼不同於一第二識別碼，且不同於目前該多層延緩佇列中所儲存之所有其他該些延緩請求記錄之該識別碼欄位；

一PCI存取佇列，該控制晶片由該PCI請求佇列取出該第一請求記錄，將之儲存至該PCI存取佇列；以及

一PCI控制器，耦接至該PCI匯流排以及該PCI存取佇列，用以由該PCI存取佇列取出該第一請求記錄，並根據該第一請求記錄送出一PCI匯流排要求至該PCI匯流排，並從該PCI匯流排接收一PCI匯流排回應；

當該第一請求記錄之該識別碼欄位不為該第二識別碼時，則該控制晶片依據該第一請求記錄之該識別碼欄位之值，於該多層延緩佇列之該些延緩請求記錄之該識別碼欄位中尋找具有相同之該識別碼欄位之值之該延緩請求記錄，並使具有相同之該識別碼欄位之值之該延緩請求記錄之該資料有效欄位為致能，該控制晶片依據具有相同之該識別碼欄位之值之該延緩請求記錄，送出對應該PCI匯

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 六、申請專利範圍

流排回應之一CPU回應至該CPU匯流排。

14.如申請專利範圍第13項所述之具有多層延緩佇列之控制晶片，其中當該CPU請求屬於一第二類請求時，該控制晶片指定該第二識別碼給該第一請求記錄之該識別碼欄位，並回覆一完成響應至該CPU匯流排。

15.如申請專利範圍第13項所述之具有多層延緩佇列之控制晶片，其中當該CPU請求屬於該第一類請求，且存在有對應於該CPU請求之該延緩請求記錄時，該控制晶片判斷對應於該CPU請求之該延緩請求記錄之該資料有效欄位是否為致能：

當該資料有效欄位為致能時，該控制晶片送出對應該CPU請求與該PCI匯流排回應之該CPU回應至該CPU匯流排，且指定該第二識別碼給該第一請求記錄之該識別碼欄位，並移除對應於該CPU請求之該延緩請求記錄；

當該資料有效欄位不為致能時，該控制晶片指定該第二識別碼給該第一請求記錄之該識別碼欄位，且回覆該重試響應給該CPU匯流排。

16.如申請專利範圍第13項所述之具有多層延緩佇列之控制晶片，其中每一該些延緩請求記錄更包括一旗標欄位，當該控制晶片儲存該第一延緩請求記錄時，該控制晶片也判斷該CPU請求是否包括一延緩致能訊號：

當該CPU請求包括該延緩致能訊號時，則指定一延緩旗標給該第一延緩請求記錄之該旗標欄位，且回覆該延緩響應給該CPU匯流排；

## 六、申請專利範圍

當該CPU請求不包括該延緩致能訊號時，則指定一重試旗標給該第一延緩請求記錄之該旗標欄位，且回覆該重試響應給該CPU匯流排；

當具有相同之該識別碼欄位之值之該延緩請求記錄之該旗標欄位為該延緩旗標時，該控制晶片主動送出對應該PCI匯流排回應之該CPU回應至該CPU匯流排，且移除具有相同之該識別碼欄位之值之該延緩請求記錄。

17.如申請專利範圍第13項所述之具有多層延緩佇列之控制晶片，其中當該多層延緩佇列沒有儲存空間時，該控制晶片指定該第二識別碼給該第一請求記錄之該識別碼欄位，且回覆該重試響應給該CPU匯流排。

18.如申請專利範圍第13項所述之具有多層延緩佇列之控制晶片，其中該第一類請求包括：一輸入輸出讀取請求、一輸入輸出寫入請求以及一記憶體讀取請求，而該第二類請求包括一記憶體寫入請求。

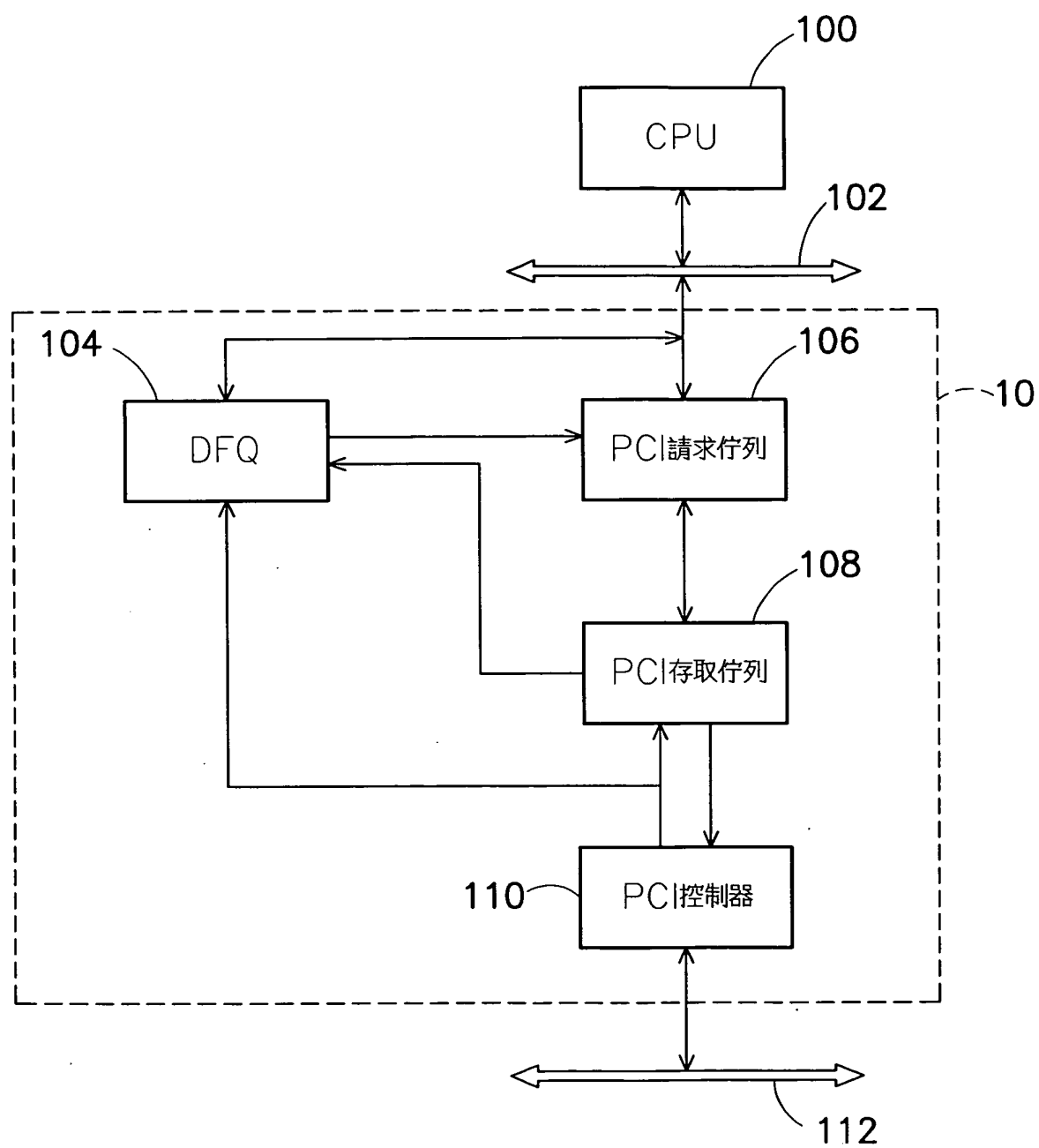
(請先閱讀背面之注意事項再填寫本頁)

裝

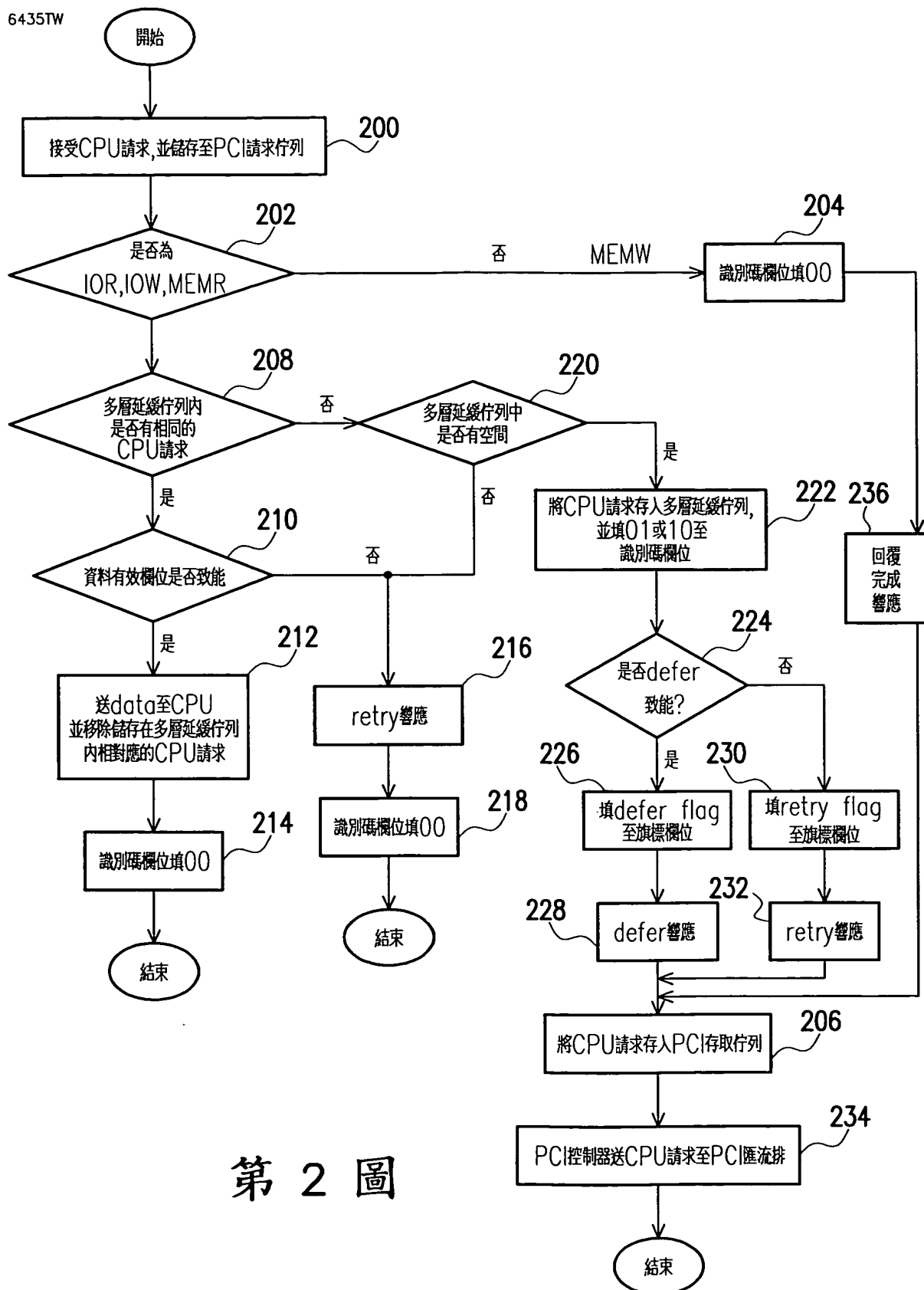
訂

線

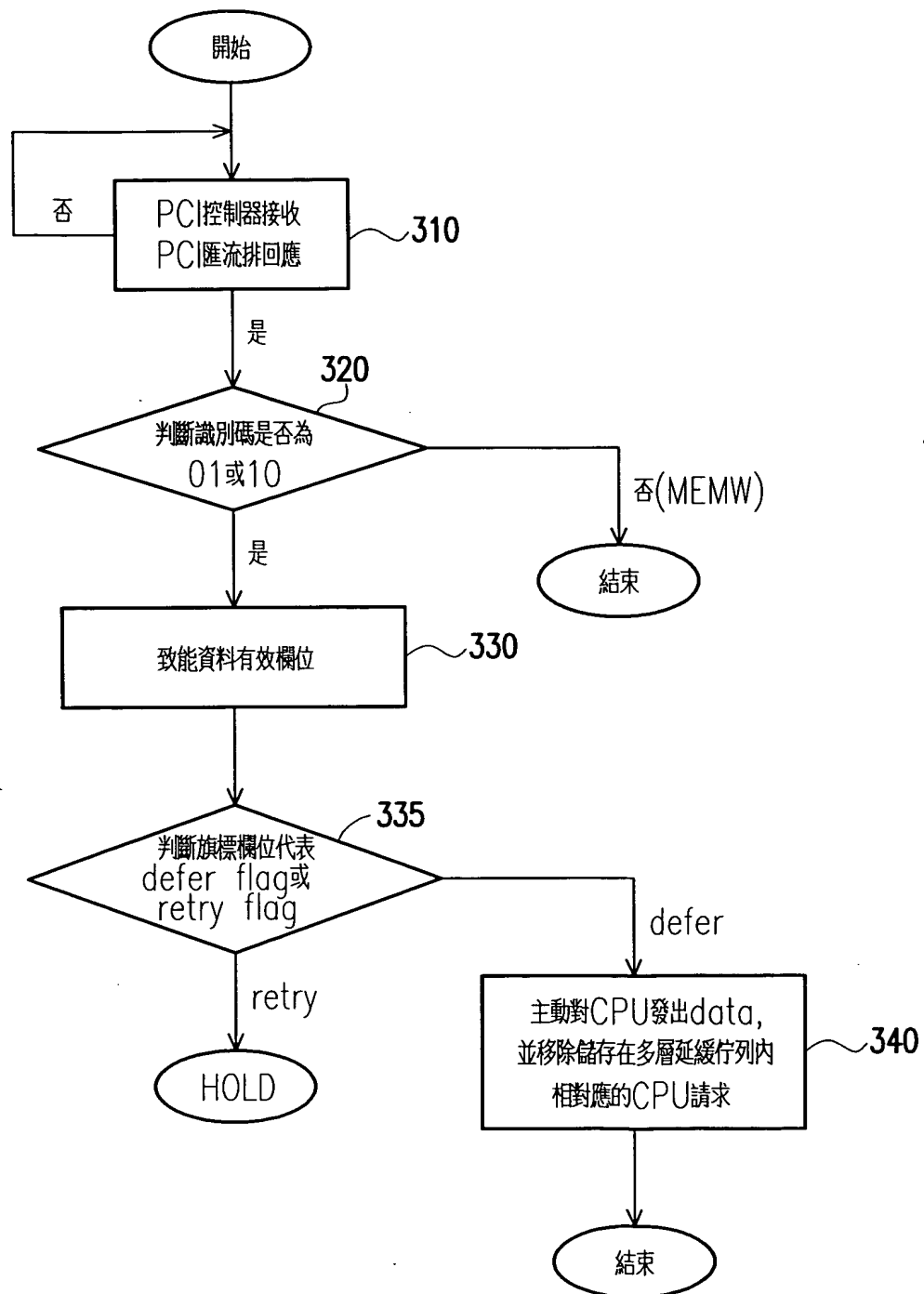




第 1 圖



第 2 圖



第 3 圖